

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-132416

(43)Date of publication of application : 15.07.1985

(51)Int.Cl.

H03K 19/00

H03F 3/45

(21)Application number : 58-241642

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.12.1983

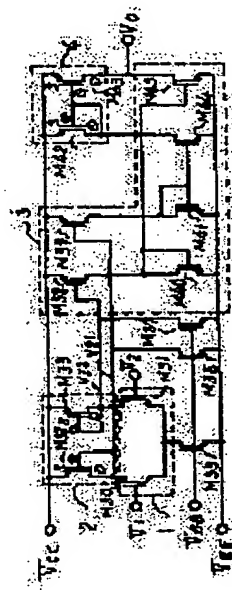
(72)Inventor : UENO MASAHIRO  
KURITA KOZABURO  
MASUDA IKURO  
MIYAGAWA NOBUAKI

## (54) LEVEL CONVERTING CIRCUIT

## (57)Abstract:

PURPOSE: To perform the level conversion at a high speed by converting the differential input voltage into a differential current, amplifying the differential current with the output which detected said current and converting the amplified current into the output voltage.

CONSTITUTION: A voltage/current converting means 1 consisting of MOS transistors (TR) M30 and 31 converts the differential input voltage  $V1-V2$  into a differential current  $I0 \pm \Delta I0$ . This differential current is detected by a current detecting means 2 consisting of MOSTRs M32 and M33. In this case, a constant current  $I0$  is applied from a constant current source consisting of an MOSTRM35. MOSTRs M36 and M37 apply a constant current bias  $Ib0$  to the means 2 to reduce the output voltage amplitude of the means 2. For the output of the means 2, the current is amplified by a current amplifying means 3 consisting of MOSTRs M38 and M39 constituting a current mirror circuit together with MOSTRs M32 and M33 and MOSTRs M40, M41, M44 and M45 which constitute a current mirror circuit. The output of the means 3 is converted into the voltage  $V0$  by a current/voltage converting means 4 consisting of MOSTRs M42 and M43 and receives the level conversion.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Best Available Copy

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭60-132416

⑫ Int. Cl.<sup>4</sup>

H 03 K 19/00  
H 03 F 3/45

識別記号

1 0 1

庁内整理番号

8326-5J  
6628-5J

⑬ 公開 昭和60年(1985)7月15日

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 レベル変換回路

⑮ 特 願 昭58-241642

⑯ 出 願 昭58(1983)12月20日

⑰ 発 明 者 上 野 雅 弘 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内  
⑰ 発 明 者 栗 田 公 三 郎 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内  
⑰ 発 明 者 増 田 郁 朗 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内  
⑰ 発 明 者 宮 川 宣 明 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内  
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑰ 代 理 人 弁理士 高橋 明夫 外3名

明 細 書

発明の名称 レベル変換回路

特許請求の範囲

1. 差動入力電圧を出力電圧に変換するレベル変換回路に於いて、上記差動入力電圧を差動電流に変換する電圧-電流変換手段、上記差動電流を検出する電流検出手段、上記電流検出手段の出力によつて上記差動電流を増幅する電流増幅手段、上記増幅された差動電流を出力電圧に変換する電流-電圧変換手段を具備することを特徴とするレベル変換回路。
2. 特許請求の範囲第1項に於いて、上記電流検出手段及び上記電流増幅手段はカレントミラー回路から構成されることを特徴とするレベル変換回路。
3. 特許請求の範囲第1項に於いて、上記電圧-電流変換手段は、MOSトランジスタ又はバイポーラトランジスタから構成されることを特徴とするレベル変換回路。
4. 特許請求の範囲第1項に於いて、上記電圧-

電流変換手段は、差動電流を入力とし、ベースまたはゲートが定電圧バイアスされたバイポーラトランジスタまたはMOSトランジスタから構成されるカスコード段を有することを特徴とするレベル変換回路。

5. 特許請求の範囲第1項に於いて、上記電流検出手段は、ゲートとドレインとが同電位のダイオード接続されたMOSトランジスタで構成されることを特徴とするレベル変換回路。

6. 特許請求の範囲第1項に於いて、上記電流検出手段は、抵抗によつて構成されることを特徴とするレベル変換回路。

7. 特許請求の範囲第1項に於いて、上記電流検出手段は、抵抗とダイオードとの並列回路によつて構成されることを特徴とするレベル変換回路。

8. 特許請求の範囲第1項に於いて、上記電流増幅手段はレベルシフト回路及び/または電圧-電流変換回路から構成されることを特徴とするレベル変換回路。

9. 特許請求の範囲第8項に於いて、上記レベル

シフト回路は、ソースが上記電流検出回路の出力に、ドレイン及びゲートが出力に接続されるMOSトランジスタによつて構成されることを特徴とするレベル変換回路。

10. 特許請求の範囲第8項に於いて、上記レベルシフト回路は、バイポーラトランジスタのエミッタフォロフによつて構成されることを特徴とするレベル変換回路。

11. 特許請求の範囲第8項に於いて、上記電圧-電流-変換回路は、MOSトランジスタによつて構成されることを特徴とするレベル変換回路。

12. 特許請求の範囲第1項に於いて、上記電流-電圧-変換手段は、ミラー回路から構成されることを特徴とするレベル変換回路。

13. 特許請求の範囲第1項に於いて、上記電流-電圧-変換手段は、レベルシフト回路と出力バッファ回路とから構成されることを特徴とするレベル変換回路。

発明の詳細な説明

〔発明の利用分野〕

する。本回路においてはMOSトランジスタ $M_1$ 、 $M_2$ によるインバータ段において、入力振幅が十分でないためいずれかのMOSトランジスタが $g_m$ の小さい非飽和領域で使用され、出力インピーダンスが大きく、次段のMOSトランジスタのゲート容量等の寄生容量との時定数が大きくなり、十分な動作速度が得られない欠点を持つ。

第2図はISSCC '82 DIGEST OF TECHNICAL PAPERS P249に記載される従来における同様のレベル変換回路の一例を示す図で、 $M_{10} \sim M_{12}$ はMOSトランジスタである。本実施例はMOSトランジスタ $M_{10} \sim M_{14}$ で成る差動増幅段、MOSトランジスタ $M_{15} \sim M_{18}$ で成るレベルシフト段、MOSトランジスタ $M_{19} \sim M_{22}$ から成るカレントミラー形電圧増幅段から成り、特に前記レベルシフト段はMOSトランジスタ $M_{17}$ 、 $M_{18}$ のドレインとゲートが交差接続されているため多少の電圧増幅機能を持つ。本実施例では差動入力段において、駆動トランジスタ $M_{10}$ 、 $M_{11}$ 及び負荷トランジスタ $M_{12}$ 、 $M_{13}$ が共に飽和

本発明はレベル変換回路に係り、特に差動入力電圧をCMOS駆動電圧レベルに変換するECL-CMOS変換あるいはメモリのセンスアンプ等における好適なレベル変換回路に関する。

〔発明の背景〕

従来のレベル変換回路の例として差動入力-CMOSレベル変換回路の一例を第1図に示す。第1図において $Q_1 \sim Q_3$ はNPNバイポーラトランジスタ、 $M_1 \sim M_4$ はMOSトランジスタ、 $D_1 \sim D_3$ はダイオード、 $R_1$ 、 $R_2$ は抵抗である。 $V_1$ 、 $V_2$ は入力電圧で、ECL-CMOSレベル変換回路では、例えば $V_1$ は入力電圧、 $V_2$ は基準電圧となる。

第1図の従来例では、バイポーラトランジスタ $Q_1$ 、 $Q_3$ からなる差動入力段の出力電圧を、バイポーラトランジスタ $Q_2$ 、ダイオード $D_1$ 、 $D_2$ から成るレベルシフト段で、MOSトランジスタ $M_1$ 、 $M_2$ から成るCMOSインバータ増幅段の入力レベルに合わせ、該増幅段及びMOSトランジスタ $M_3$ 、 $M_4$ から成る同様の増幅段で2段増幅

領域で使用され大きな増幅率を有する。従つて駆動トランジスタ $M_{10}$ 、 $M_{11}$ の入力容量にミラー効果が大きく作用し、入力信号 $V_1$ 、 $V_2$ の出力インピーダンスとの時定数で、その動作速度に悪影響を及ぼす。

上記の如き従来例においては、入力差動電圧 $V_1$ 、 $V_2$ が小さい場合、例えばメモリのセンスアンプの如き微小信号入力を扱うためには、前者の場合、増幅率が不足し、また後者の場合には信号源の出力インピーダンスが高いため、上記入力容量が障害となり十分な動作速度が得られないという欠点を有する。

〔発明の目的〕

本発明は上記の如き従来技術の欠点と除去し、信号源の出力インピーダンスあるいは信号レベルにかかわらず高速度動作が可能なレベル変換回路を提供することにある。

〔発明の概要〕

上記目的を達成する本発明の特徴とするところは、差動入力電圧を出力電圧に変換するレベル変

換回路に於いて、差動入力電圧を差動電流に変換する電圧-電流変換手段、差動電流を検出する電流検出手段、電流検出手段の出力によつて差動電流を増幅する電流増幅手段、増幅された差動電流を出力電圧に変換する電流-電圧変換手段を具備することにある。

#### 〔発明の実施例〕

以下本発明を実施例に基づいて詳細に説明する。第3図(a)は本発明の第1の実施例を示す回路図である。

第3図(a)において $M_{20} \sim M_{45}$ はMOSトランジスタである。MOSトランジスタ $M_{20}$ 、 $M_{21}$ は差動入力電圧( $V_1 - V_2$ )を差動電流 $I_0 \pm \Delta I_0$ に変換する電圧-電流変換手段1を形成する。MOSトランジスタ $M_{22}$ は該手段に定電流 $I_0$ のバイアスを与える定電流源である。MOSトランジスタ $M_{22}$ 、 $M_{23}$ は、それぞれソースSが電源 $V_{cc}$ 、ゲートGがドレインDに接続され、同電位となるいわゆるダイオード接続で形成され前記差動電流を検出する電流検出手段2を構成する。

は $V_0$ となり、電流検出手段2を構成するMOSトランジスタの出力電圧振幅を小さくすることができる。

本実施例によれば電流検出手段2の出力電圧、電流増幅手段3内の各部電圧及びその出力電圧の各振幅は十分小さい。従つて寄生容量への充放電電流は小さく遅延時間に及ぼす影響を十分小さくすることができる。

電流検出手段2の出力電圧 $V_{21}$ 、 $V_{22}$ の振幅は略 $I_0 / g_{m1}$ (但し $g_{m1}$ はMOSトランジスタ $M_{22}$ 、 $M_{23}$ の相互コンダクタンスである)となり、通常の電圧増幅回路に比べ極めて小さい振幅となる。

MOSトランジスタ $M_{20}$ 、 $M_{21}$ はMOSトランジスタ $M_{22}$ 、 $M_{23}$ との組合せでカレントミラー回路を形成している。同様に、MOSトランジスタ $M_{40}$ 、 $M_{41}$ 、 $M_{44}$ 、 $M_{45}$ もカレントミラー回路を構成している。MOSトランジスタ $M_{42}$ 、 $M_{43}$ を流れる出力電流 $I_1$ の振幅 $\Delta I_1$ はMOSトランジスタ $M_{20}$ 、 $M_{21}$ の相互コンダクタンスを $g_{m2}$ 、

MOSトランジスタ $M_{20}$ 、 $M_{21}$ は該電流検出手段2に定電流バイアス $I_{10}$ を与えるもので、該電流検出手段2の出力電圧 $V_{21}$ 、 $V_{22}$ を少なくとも $V_{cc} - V_1$ (但し $V_1$ はMOSトランジスタのしきい電圧、以下すべてのMOSトランジスタのしきい電圧は同一とし、特にNMOS、PMOSも区別せずその絶対値が $V_1$ であるとする)にバイアスするためのものである。

第3図(b)は第3図(a)に於ける電流検出手段2を構成するMOSトランジスタ $M_{22}$ 、 $M_{23}$ に定電流バイアス $I_{10}$ を与えたことによる効果を示す図である。曲線はMOSトランジスタ $M_{22}$ 、 $M_{23}$ の $V_0 - I_0$ 特性である。定電流バイアス $I_{10}$ を与えない場合、電圧-電流変換手段1の出力電流 $I_0$ が0と $I_0$ との間で変化すると、MOSトランジスタ $M_{22}$ 、 $M_{23}$ は $V_0$ の振幅をもつ。一方定電流バイアス $I_{10}$ を与えている場合は、MOSトランジスタ $M_{22}$ 、 $M_{23}$ に流れる電流 $I_0$ は、 $I_{10}$ と $I_{10} + I_0$ との間で変化するため、MOSトランジスタ $M_{22}$ 、 $M_{23}$ の出力電圧 $V_{21}$ 、 $V_{22}$ の振幅

MOSトランジスタ $M_{40}$ 、 $M_{41}$ の相互コンダクタンスを $g_{m3}$ 、MOSトランジスタ $M_{44}$ 、 $M_{45}$ の相互コンダクタンスを $g_{m4}$ とすると、

$$\Delta I_1 = I_0 (g_{m2} / g_{m1}) (g_{m4} / g_{m3}) \quad \dots\dots(1)$$

となる。 $g_{m2} > g_{m1}$ 、 $g_{m4} > g_{m3}$ とすることで電流増幅を行ない電流増幅手段3を形成する。MOSトランジスタ $M_{42}$ 、 $M_{43}$ は該電流増幅手段3の出力に接続され電流-電圧変換手段4を構成するミラー回路である。MOSトランジスタ $M_{42}$ はゲート及びドレインを共通接続したいわゆるダイオード接続する。該接続点をMOSトランジスタ $M_{44}$ のゲートGへ接続しているため、MOSトランジスタ $M_{42}$ に流れる電流値によつてMOSトランジスタ $M_{44}$ の $g_m$ が決まる。MOSトランジスタ $M_{42}$ に電流が多く流れるとMOSトランジスタ $M_{44}$ の電圧降下が大きくなるため、MOSトランジスタ $M_{44}$ のゲートG・ソースS間電圧が大きくなり、MOSトランジスタ $M_{43}$ の $g_m$ は大きくなる。一方MOSトランジスタ $M_{42}$ 、 $M_{43}$ に流れる電流は、差動動作をしており、このときMOSト

ランジスタ  $M_{42}$  に流れる電流は小さくなる。すなわち  $g_m$  が大きく、かつ流れる電流が小さい相乗効果により MOS トランジスタ  $M_{42}$  での電圧降下は小さくなる。逆に、MOS トランジスタ  $M_{42}$  に流れる電流が小さい場合は、MOS トランジスタ  $M_{43}$  の  $g_m$  は小さく、かつ流れる電流は大きくなるため、MOS トランジスタ  $M_{43}$  の電圧降下は大きくなる。すなわち、MOS トランジスタ  $M_{42}$ 、 $M_{43}$  のミラー回路は、差動電流を電圧に変換する電流-電圧変換手段 4 を形成する。

更に該手段 4 に流れる電流は電流増幅手段 3 で十分増幅されており、この結果該手段 4 の出力電圧  $V_o$  は CMOS を駆動するに要する十分な振幅を持つ。

第 4 図(a)は本発明の第 2 の実施例を示す回路図である。第 4 図(a)において第 3 図(a)と同一符号は同一物あるいは相当物を示している。第 4 図(a)において  $M_{46}$ 、 $M_{47}$ 、 $M_{48}$  及び  $M_{49}$  は、電流検出手段 2 を構成する MOS トランジスタ  $M_{42}$ 、 $M_{43}$  の出力電圧  $V_{42}$ 、 $V_{43}$  を略 MOS トランジスタ  $M_{46}$ 、

$M_{47}$  のゲート・ソース間の電圧  $V_L$  だけシフトするレベルシフト回路を構成する MOS トランジスタであり、 $M_{50}$ 、 $M_{51}$  は該レベルシフト回路 3 1 の出力電圧  $V_{511}$ 、 $V_{512}$  を電流に変換する電圧電流変換回路 3 2 を構成する MOS トランジスタである。前記レベルシフト回路 3 1 と電圧電流変換回路 3 2 で電流増幅手段 3 を構成する。MOS トランジスタ  $M_{52}$ 、 $M_{53}$  のミラー回路は、該電流増幅手段 3 の出力を電圧に変換する電流-電圧変換手段 4 を構成する。

第 4 図(b)は MOS トランジスタ  $M_{42}$ 、 $M_{43}$ 、 $M_{46}$ 、 $M_{47}$ 、 $M_{48}$ 、 $M_{49}$ 、 $M_{50}$ 、 $M_{51}$  による電流検出及び電流増幅を説明する図である。

曲線 A は電流検出手段 2 を構成する MOS トランジスタ  $M_{42}$ 、 $M_{43}$  の  $V_o - I_o$  特性、曲線 B は電圧-電流変換回路 3 2 を構成する MOS トランジスタ  $M_{50}$ 、 $M_{51}$  の  $V_o - I_o$  特性である。MOS トランジスタ  $M_{46}$ 、 $M_{47}$ 、 $M_{48}$ 、 $M_{49}$  によつて構成されるレベルシフト回路 3 1 がない場合、MOS トランジスタ  $M_{42}$ 、 $M_{43}$ 、 $M_{50}$ 、 $M_{51}$  はカレント

ミラー回路である。ここで MOS トランジスタ  $M_{42}$ 、 $M_{43}$  の電流振幅  $I$  を電圧振幅  $V$  として検出し、該検出電圧  $V$  が MOS トランジスタ  $M_{50}$ 、 $M_{51}$  のゲートに印加されるため、MOS トランジスタ  $M_{50}$ 、 $M_{51}$  は該電圧振幅  $V$  を電流振幅  $I'$  に電流増幅する。この場合の電流増幅率は、MOS トランジスタ  $M_{42}$ 、 $M_{43}$  と MOS トランジスタ  $M_{50}$ 、 $M_{51}$  の相互コンダクタンス  $g_m$  の比で決まる。大きな電流増幅率を得るためには、該相互コンダクタンス  $g_m$  の比を大きくする必要があり、MOS トランジスタ  $M_{42}$ 、 $M_{43}$ 、 $M_{50}$ 、 $M_{51}$  の寸法比を調整しなければならない。本実施例においては MOS トランジスタ  $M_{46}$ 、 $M_{47}$ 、 $M_{48}$ 、 $M_{49}$  によつて構成されるレベルシフト回路 3 1 を介すことにより、電流検出手段 2 の出力電圧を電圧  $V_L$  だけシフトして MOS トランジスタ  $M_{50}$ 、 $M_{51}$  のゲートに印加する。この結果 MOS トランジスタ  $M_{50}$ 、 $M_{51}$  の相互コンダクタンス  $g_m$  が大ききところで動作させることが出来、大きな電流振幅  $I'$  を得ることが可能となる。

第 5 図(a)は本発明の第 3 の実施例を示す回路図である。第 5 図(a)において、第 3 図(a)及び第 4 図(a)と同一符号は同一物あるいは相当物を示す。第 5 図(a)において、 $Q_{50}$ 、 $Q_{51}$  は電圧-電流変換手段 1 を構成する NPN バイポーラトランジスタ、 $M_{54}$  はかかる差動入力段に与える定電流バイアス源となる MOS トランジスタである。 $R_{50}$ 、 $R_{51}$  は電流検出手段 2 を構成する抵抗、 $M_{46}$ 、 $M_{47}$ 、 $M_{48}$ 、 $M_{49}$  は該電流検出手段 2 の出力電圧を略 MOS トランジスタのしきい電圧  $V_L$  だけシフトするレベルシフト回路 3 1 を構成する MOS トランジスタであり、 $M_{55}$ 、 $M_{56}$  は該レベルシフト回路 3 1 の出力電圧を電流に変換するための電圧-電流変換回路 3 2 を構成する MOS トランジスタである。前記レベルシフト回路 3 1 と電圧-電流変換回路 3 2 で電流増幅手段 3 を構成する。 $R_{52}$ 、 $R_{53}$  は電流増幅手段 3 の負荷抵抗、 $M_{47}$ 、 $M_{50}$ 、 $M_{59}$ 、 $M_{60}$  は出力バッファ回路 4 1 を構成する MOS トランジスタで、前記抵抗  $R_{52}$ 、 $R_{53}$  と該出力バッファ回路 4 1 で電流-電圧変換手段 4 を構成する。

本実施例においては、電圧-電流変換手段1はバイポーラトランジスタであり、かかるバイポーラトランジスタを飽和させた場合、ベース蓄積効果によりオフに切替わる時間が長くなり、遅延時間は大幅に増加する。従つて電流検出手段2である抵抗 $R_{s0}$ 、 $R_{s1}$ は十分小さい抵抗値に選ぶ必要がある。この結果電流検出手段2の出力電圧 $V_{1s1}$ 、 $V_{1s2}$ は一方の電源 $V_{cc}$ に近い領域で $V_1 \pm \Delta V_1$ の振幅を持つ。前記レベルシフト回路31はこの電圧 $V_{1s1}$ 、 $V_{1s2}$ を電流増幅手段3の出力用MOSトランジスタ $M_{s5}$ 、 $M_{s6}$ のしきい値電圧以上にシフトするもので、該MOSトランジスタ $M_{s5}$ 、 $M_{s6}$ の入力電圧(ゲート電圧)は略 $(V_1 + V_1 \pm \Delta V_1)$ となる。この電圧はMOSトランジスタ $M_{s5}$ 、 $M_{s6}$ のゲートに印加され電流増幅がなされる。

この電流増幅作用を第5図(b)を用いて詳しく説明する。第5図(b)は電流検出手段2である抵抗 $R_{s0}$ 、 $R_{s1}$ の電圧-電流特性①と電圧-電流増幅手段変換回路、32を構成するMOSトランジスタ

$M_{s5}$ 、 $M_{s6}$ の電圧-電流特性②を示したものである。電流検出手段2の出力電圧と電圧-電流変換回路32の入力電圧との間はレベルシフト回路31により略 $V_1$ だけ電圧レベルがシフトされており、横軸原点をこの分だけずらせて図示してある。電流検出手段2である抵抗 $R_{s0}$ 、 $R_{s1}$ の入力電流 $I_1 \pm \Delta I_1$ は該抵抗 $R_{s0}$ 、 $R_{s1}$ で検出電圧 $V_1 \pm \Delta V_1$ が検出され、この電圧がレベルシフトされた後MOSトランジスタ $M_{s5}$ 、 $M_{s6}$ に印加され、図示の如く電流 $I_1 + \Delta I_1'$ 、 $I_1 - \Delta I_1''$ に変換される。MOSトランジスタの相互コンダクタンス $g_m$ がドレイン電流の平方根に比例して増加することから抵抗 $R_{s0}$ 、 $R_{s1}$ による電流検出電圧 $\Delta V_1 = \Delta I_1 \cdot R_{s0}$ から変換された $\Delta I_1' = \Delta I_1' + \Delta I_1'' = g_{m2} \cdot \Delta V_1$ は、 $\Delta I_1' / I_1 < \Delta I_1 / I_1$ となる。即ち電流の変化分が増幅される。

かかる電流増幅手段3の出力電流は抵抗 $R_{s2}$ 、 $R_{s3}$ で電圧に変換され、更にMOSトランジスタ $M_{s7}$ 、 $M_{s8}$ 、 $M_{s9}$ 、 $M_{s0}$ で成るカレントミラー形

出力バッファ回路41で電圧増幅される。出力バッファ回路41の入力電圧であるMOSトランジスタ $M_{s9}$ 、 $M_{s0}$ のゲート電圧は、電流増幅手段3の出力電流と抵抗 $R_{s2}$ 、 $R_{s3}$ の抵抗値の選択により、MOSトランジスタ $M_{s9}$ 、 $M_{s0}$ のしきい電圧 $V_{th}$ をはさんで変化させ得ることができる。

即ち抵抗 $R_{s2}$ 、 $R_{s3}$ の抵抗値を $R_{s2r}$ とすると出力バッファ回路41のMOSトランジスタ $M_{s9}$ 、 $M_{s0}$ の入力ゲート電圧 $V_{gs0}$ は、

$$V_{gs0} = (I_1 + \Delta I_1') R_{s2r} = V_{gs0}'$$

または

$$V_{gs0} = (I_1 - \Delta I_1'') R_{s2r} = V_{gs0}''$$

となり、電流 $I_1$ 、抵抗 $R_{s2r}$ を適当に設定することにより

$$V_{gs0}'' < V_1 < V_{gs0}'$$

とすることができる。従つて例えばMOSトランジスタ $M_{s9}$ のゲート電圧が $V_{gs0}''$ のときには該MOSトランジスタはオフとなり、これにつれてカレントミラー回路を構成するMOSトランジスタ $M_{s7}$ 、 $M_{s8}$ の相互コンダクタンス $g_m$ 及びチャ

ネルコンダクタンス $g_d$ は零、即ちオフ状態となる。一方、MOSトランジスタ $M_{s0}$ のゲート電圧はこの時 $V_{gs0}'$ であり、MOSトランジスタ $M_{s0}$ はオンとなる。この結果出力電圧 $V_o$ は略零になる。逆にMOSトランジスタ $M_{s9}$ のゲート電圧が $V_{gs0}'$ のとき、カレントミラー回路を構成するMOSトランジスタ $M_{s7}$ 、 $M_{s8}$ のチャネルコンダクタンス $g_m$ は有限の値即ちオン状態となる。しかるにMOSトランジスタ $M_{s0}$ のゲート電圧はMOSトランジスタ $M_{s9}$ と差動動作<sup>作</sup>故、 $V_{gs0}''$ でありオフ状態となり従つて出力電圧 $V_o$ は略 $V_{cc}$ になる。即ちMOSトランジスタ $M_{s9}$ 、 $M_{s0}$ をスイッチング動作させることが可能であり、これにより出力電圧 $V_o$ の振幅を電源電圧にまで広げることができる。

これによりMOSトランジスタ $M_{s9}$ 、 $M_{s0}$ をスイッチング動作させることが可能である。

本実施例によれば、電流検出手段2の検出電圧値の選定の自由度が大きくなり、電流増幅手段3は電流の変化成分を特に強調して増幅できる。更

に入力電圧が微小で電圧電流変換手段1が必ずしもスイッチング動作しない場合においても、最終の電流-電圧変換手段4内でスイッチング動作に変換することができ、出力電圧はデジタル信号として十分な振幅即ちほぼ電源電圧と同程度の振幅が得られる。

第6図は本発明の第4の実施例を示す図で、第4図と同一符号は同一物あるいは相当物を示す。

第6図において、電流増幅手段3のうち電圧レベルシフト回路31は、MOSダイオード $M_{51}$ 、 $M_{52}$ で構成されている。すなわちゲートGとドレインDとが共通接続されたMOSトランジスタ $M_{51}$ 、 $M_{52}$ を電流検出手段2を構成する抵抗 $R_{50}$ 、 $R_{51}$ の出力端と電圧-電流変換回路32を構成する電流増幅手段出力MOSトランジスタ $M_{53}$ 、 $M_{54}$ のゲートとの間に接続し、MOSトランジスタ $M_{50}$ 、 $M_{51}$ による定電流バイアスとにより、第5図(a)の実施例と同様の電流増幅作用を行なわせることが出来る。この際、上記ダイオード接続のMOSトランジスタ $M_{51}$ 、 $M_{52}$ と電圧-電流変換

回路32を構成する出力トランジスタ $M_{53}$ 、 $M_{54}$ とを同一導電形MOSトランジスタを用いることにより、しきい電圧 $V_t$ のプロセスばらつきを抑制することが出来る。また、上記ダイオード接続のMOSトランジスタ $M_{51}$ 、 $M_{52}$ のソース側を上記抵抗 $R_{50}$ 、 $R_{51}$ の出力端に接続することにより、電流検出手段2の負荷容量を第4図の実施例の場合に比し縮減させることが出来る。電流増幅手段3のMOSトランジスタ $M_{53}$ 、 $M_{54}$ の負荷には抵抗 $R_{54}$ とダイオード接続されたMOSトランジスタ $M_{55}$ 及び抵抗 $R_{56}$ とダイオード接続されたMOSトランジスタ $M_{56}$ が各々直列に接続されレベルシフト回路42を構成する。これにより電流-電圧変換手段4のMOSトランジスタ $M_{53}$ 、 $M_{54}$ と抵抗 $R_{54}$ 、 $R_{56}$ との接続端の電位をMOSトランジスタ $M_{51}$ 、 $M_{52}$ の略しきい電圧だけシフトすることができ、出力バッファ回路41の入力MOSトランジスタ $M_{57}$ 、 $M_{58}$ のゲート入力電圧を大きくすることが可能となる。この結果、出力バッファ回路41の各MOSトランジスタ $M_{57}$ 、 $M_{58}$ の相

互コンダクタンス $g_m$ が大きな領域で動作させることになり、出力インピーダンスを小さくすることが出来る。第6図において、ダイオード接続されたMOSトランジスタ $M_{55}$ 、 $M_{56}$ はバイポーラダイオードに置き換えることが出来る。

第7図はECL・IC100とECLレベルインターフェースを持ち、内部CMOS動作のLSI101とによるシステムの概念図で、102は該ECL入力、内部CMOS動作の入力インターフェースとなるECL-CMOSレベル変換回路である。ECL-CMOSレベル変換回路102の所要入出力特性を第8図に示す。第8図において横軸は入力電圧 $V_i$ 、縦軸は出力電圧 $V_o$ を示し、電源電圧は-5.2Vの場合を例示している。ECL入力電圧 $V_i$ は略-1.3V±0.4Vであり、ECL-CMOSレベル変換回路102はこの入力電圧 $V_i$ に対し、略電源電圧スパン( $V_{cc}$ から $V_{ss}$ )の振幅を持つ出力電圧 $V_o$ に変換する必要がある。

第9図は本発明の第5の実施例を示す回路図であり、本発明をかかえるECL-CMOSレベル変換

回路に適用した1実施例を示すものである。第9図において、第3図(a)、第4図(b)と同一符号は同一物あるいは相当物を示す。 $V_{ss}$ は略-1.3Vの基準電圧、 $V_i$ は入力電圧である。

このような回路においては、入力電圧振幅が比較的大きく、電圧増幅率は要求されずに、高速度が第1条件として求められる。本実施例はこのような要求に合致したもので、MOSトランジスタ $M_{10}$ 、 $M_{11}$ は電圧-電流変換手段1、MOSトランジスタ $M_{12}$ 、 $M_{13}$ は電流検出手段2、MOSトランジスタ $M_{14}$ 、 $M_{15}$ は電流増幅手段3、MOSトランジスタ $M_{16}$ 、 $M_{17}$ は電流-電圧変換手段4となる。

本実施例においては、上記各手段が略単一素子で構成され、入出力間を最短経路で結び、かつ電流検出手段2の検出電圧振幅が小さいため、MOSトランジスタ $M_{12}$ 、 $M_{13}$ のドレインの接合容量、MOSトランジスタ $M_{14}$ 、 $M_{15}$ のドレイン接合容量、MOSトランジスタ $M_{16}$ 、 $M_{17}$ のゲート容量等の寄生容量、手段間の遅延時間、入力ミラー容



抵抗による遅延が極めて小さくなる。

第10図は本発明の第6の実施例を示す回路図であり、本発明によるECL-CMOSレベル変換回路の他の実施例を示すもので、図において第4図(a)、第6図、第8図と同一符号は同一物あるいは相当物を示す。

本実施例においては、電圧-電流変換手段2にバイポーラトランジスタを用いているため、該増幅段のインピーダンスを小さくすることができ、より高速化ができる。また、電圧-電流変換回路32のMOSトランジスタ $M_{55}$ 、 $M_{56}$ の入力レベルが大きく(電流検出手段2の検出電圧+レベルシフト回路31によるレベルシフト電圧)MOSトランジスタ $M_{55}$ 、 $M_{56}$ の相互コンダクタンス $g_m$ の大きな領域で動作させることが可能で、出力段を構成する電圧-電流変換回路32及び電流-電圧変換手段4の遅延時間も小さくすることが出来る。

第11図は本発明の第7の実施例を示す回路図であり、本発明によるECL-CMOSレベル変換

回路の他の実施例を示すもので、図において第4図(a)、第5図(a)、第9図と同一符号は同一物あるいは相当物を示す。

図において抵抗 $R_{50}$ とダイオード $D_{50}$ の並列回路、抵抗 $R_{51}$ とダイオード $D_{51}$ の並列回路は電流検出手段2を構成し、バイポーラトランジスタ $Q_{52}$ 、 $Q_{53}$ 、ダイオード $D_{52}$ 、 $D_{53}$ 、MOSトランジスタ $M_{40}$ 、 $M_{41}$ は電流増幅手段3に用いるレベルシフト回路31を構成している。

本実施例においては、電流検出手段2に抵抗 $R_{50}$ 、 $R_{51}$ とダイオード $D_{50}$ 、 $D_{51}$ の並列回路を用いているため、該電流検出手段2の出力をクランプすることが可能となり、電圧-電流変換手段3のレベルシフト回路31を構成するバイポーラトランジスタ $Q_{52}$ 、 $Q_{53}$ の飽和を防止することが出来る。更に、レベルシフト回路31にバイポーラトランジスタのエミッタフォロアを用いているため、レベルシフト電圧をバイアス電流によらず略一定にすることが可能で、電流増幅率の制御が容易となる。

第12図は本発明の第8の実施例を示す回路図であり本発明をメモリのセンスアンプに適用した一実施例を示す。

図において $S_{70}$ はフリップ・フロップ等のメモリ回路、 $M_{72}$ 、 $M_{73}$ はメモリ回路 $S_{70}$ の選択用スイッチング素子でメモリ回路 $S_{70}$ と該スイッチング素子 $M_{72}$ 、 $M_{73}$ でメモリセルを構成する。 $M_{70}$ 、 $M_{71}$ はビット線 $B_{70}$ 、 $B_{71}$ のプルアップ用MOSトランジスタ、 $W_{70}$ はワード線、 $M_{74}$ 、 $M_{75}$ はビット線 $B_{70}$ 、 $B_{71}$ を選択する $Y_1$ セレクト用MOSトランジスタ、 $Q_{70}$ 、 $Q_{71}$ は電圧-電流変換手段1を構成する第1組の差動構成NPNバイポーラトランジスタ、 $Z_{70}$ 、 $Z_{71}$ は複数組のビット線が $Y_1$ セレクトMOSトランジスタを介して接続されるコモンデータ線と上記電圧-電流変換手段1を構成するトランジスタ $Q_{70}$ 、 $Q_{71}$ のベースに与える。 $M_{76}$ は上記差動構成NPNバイポーラトランジスタ $Q_{70}$ 、 $Q_{71}$ にバイアス電流を与えるMOSトランジスタ、 $Y_2$ はコモンデータ線に接続される複数組の電圧-電流変換手段の第

1組の差動構成NPNバイポーラトランジスタ $Q_{70}$ 、 $Q_{71}$ を切換える入力信号( $Y_2$ セレクト)、 $Q_{72}$ 、 $Q_{73}$ は前記差動構成NPNバイポーラトランジスタ $Q_{70}$ 、 $Q_{71}$ の出力電流を入力とし、定電圧バイアスされたベース接地のカスコード段を構成するNPNバイポーラトランジスタで、該差動構成NPNバイポーラトランジスタ $Q_{70}$ 、 $Q_{71}$ とカスコード段のNPNバイポーラトランジスタ $Q_{72}$ 、 $Q_{73}$ で電圧-電流変換手段1を構成する。 $D_{70}$ 、 $D_{71}$ は前記カスコード段のベース接地を与えるバイアス回路、 $R_{70}$ 、 $R_{71}$ は電流検出手段2を構成する。抵抗 $Q_{74}$ 、 $Q_{75}$ 、 $D_{72}$ 、 $D_{73}$ はそれぞれ前記電流検出電圧をレベルシフトするレベルシフト回路31を構成するエミッタフォロアを形成するNPNバイポーラトランジスタ、及びダイオードである。 $M_{62}$ 、 $M_{63}$ は電圧-電流変換回路32を構成する電流増幅用MOSトランジスタ、 $M_{64}$ 、 $M_{65}$ は電流-電圧変換手段4を構成するミラー接続されたMOSトランジスタ、 $M_{77}$ 、 $M_{78}$ 、 $M_{79}$ 、 $M_{80}$ 及び $M_{81}$ は定電流バイアスを与えるた

めのMOSトランジスタである。

本実施例においては電圧-電流変換手段1をバイポーラトランジスタのカスコード構成にしており、入力段におけるミラー効果はほとんど発生しない。したがって、該手段の入力容量を極めて小さくすることができ、信号源抵抗と入力容量による遅延時間を大幅に短縮することができる。

尚、カスコード段を構成するバイポーラトランジスタ $Q_{70}$ 、 $Q_{71}$ 、 $Q_{72}$ 、 $Q_{73}$ はMOSトランジスタに置き換えることができる。この外、電流検出手段2、電流増幅手段3、電圧-電流変換手段4は上記した他の実施例と同様の構成をとることができる。

以上の説明で明らかなごとく、本発明の各実施例によれば入力差動段は電圧-電流変換手段1と電流検出手段2で構成されており、電圧増幅を目的としない。従つて電圧増幅率は極めて小さく入力容量に対するミラー効果は無視することができる。この結果、入力信号源の出力インピーダンスと入力容量に影響される入力回路の遅延時間を大

幅に小さくすることが可能になる。

更に出力回路は負荷容量を駆動することによる遅延時間を小さくするため低出力インピーダンスであることが必要で、かつ出力電圧の振幅も十分大きくなければならない。このための内部増幅作用を電流増幅手段3で行っており、特に入力側に近い高インピーダンス回路においては各部の電圧振幅は小さい。このため回路内部に寄生する容量と抵抗成分により生ずる遅延時間を小さくすることが出来る。

#### 〔発明の効果〕

本発明により高速にかつ十分な大きさのレベル変換が可能なレベル変換回路を得ることができる。

#### 図面の簡単な説明

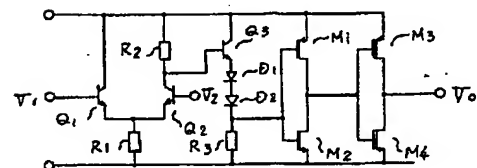
第1図及び第2図は従来技術の一例を示す回路図、第3図から第6図は本発明の実施例を示す回路図、第7図は本発明の実施対象システムの概念図、第8図はレベル変換特性を示す図、第9図から第12図は本発明の実施例を示す図である。

1…電圧-電流変換手段、2…電流検出手段、3…電流増幅手段、4…電流-電圧変換手段。

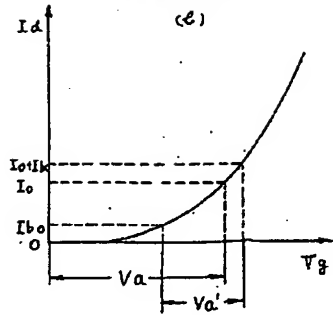
…電流増幅手段、4…電流-電圧変換手段。

代理人 弁理士 高橋明夫

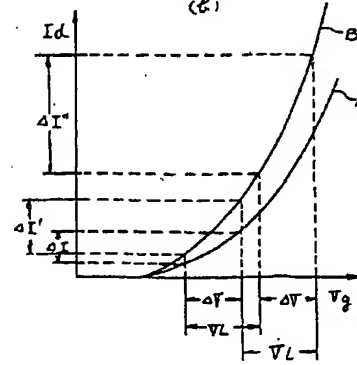
第1図



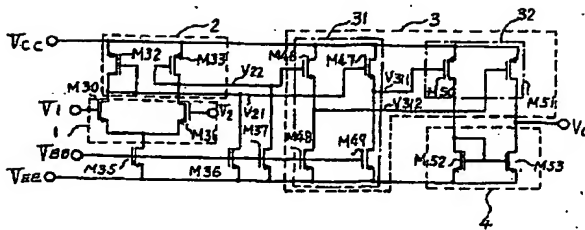
第3図  
(c)



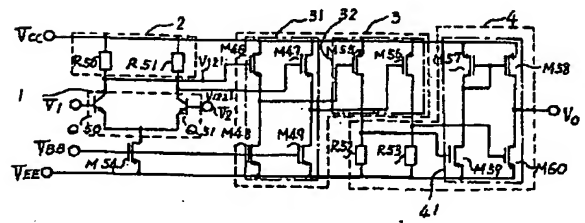
第4図  
(c)



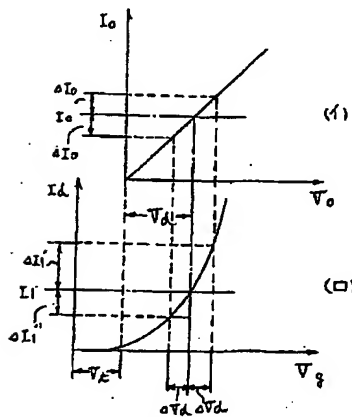
第4図  
(a)



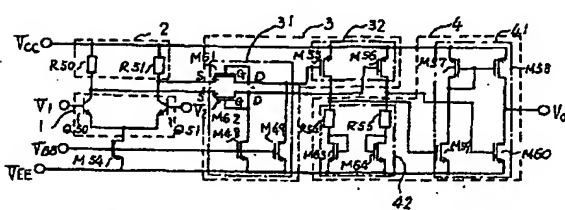
第5図  
(a)



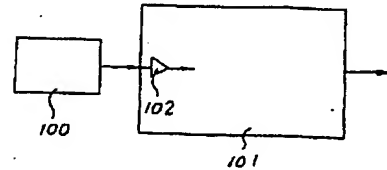
第5図  
(c)



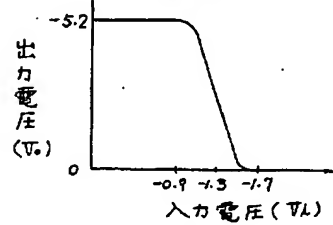
第6図



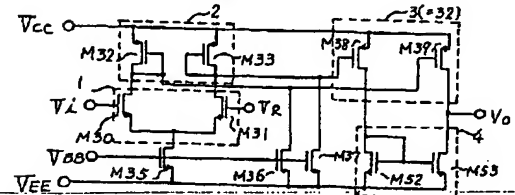
第7図



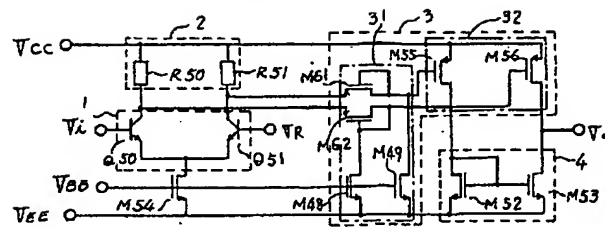
第8図



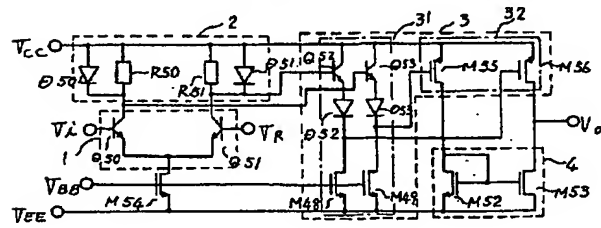
第9図



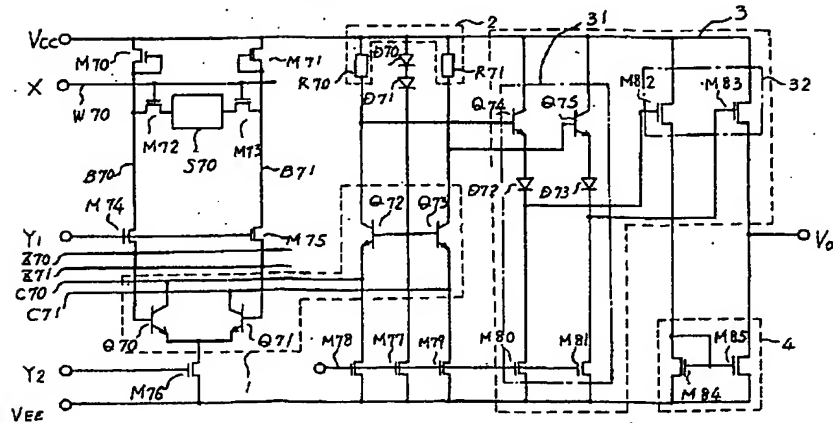
第 10 図



第 11 図



第 12 図



特許法第17条の2の規定による補正の掲載

平 3. 3. 5発行

昭和 58 年特許願第 241642 号 (特開昭  
60-132416 号, 昭和 60 年 7 月 15 日  
発行 公開特許公報 60-1325 号掲載) につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 7 ( 3 )

Int. Cl. <sup>5</sup>	識別 記号	庁内整理番号
H03K 19/017 G11C 11/416 11/419		A-8941-5J H03K 19/00 -101 8323-5B G11C 11/34 -331 8323-5B G11C 11/34 -311

1. 明細書第4頁第10行の「 $R_1, R_2$ 」を  
「 $R_1, R_2, R_3$ 」と補正する。
2. 同第8頁第13行の「特性」を「特性(ゲ  
ート電圧とドレイン電流の関係)」と補正する。
3. 同第15頁第9行の「 $V_1 \pm \Delta V_1$ 」を「 $V_1 \pm$   
 $\Delta V_1$ 」と補正する。
4. 同第16頁第15行の「 $\Delta I_1' + \Delta I_1' =$   
 $\frac{\Delta I_1' + \Delta I_1'}{2} = g_{m2} \cdot \Delta V_1$ 」を  
 $\Delta V_1$ 」と補正する。
5. 同第20頁第13行~第14行の「電流-電  
圧変換手段4の」を削除する。
6. 同第20頁第16行の「 $M_{s1}, M_{s2}$ 」を  
「 $M_{s3}, M_{s4}$ 」と補正する。
7. 同第24頁第4行の「図」を「第1図」と補  
正する。
8. 同第24頁第14行の「3のレベルシフト回  
路31」を「1」と補正する。

9. 同第24頁第15行の「 $Q_{s1}, Q_{s2}$ 」を

平成 3. 3. 5発行  
手続補正書(自発)

平成 2 年 9 月 18 日

特許庁長官 植松 敏 殿

事件の表示

昭和 58 年 特許願 第 241642 号

発明の名称 レベル変換回路

補正をする者

事件との関係 特許出願人

名 称 (810) 株式会社 日立 製作 所

代 理 人

住 所 (〒100) 東京都千代田区丸の内一丁目5番1号

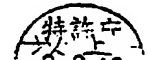
株式会社 日立製作所内 電話 東京212-1111(大代表)

氏 名 (850) 弁護士 小 川 勝 男



補正の対象 明細書の「発明の詳細な説明」  
の欄

補正の内容 別紙の通り



「 $Q_{s0}, Q_{s1}$ 」と補正する。

10. 同第26頁第10行の「 $D_{70}$ 」を「ダイオー  
ド $D_{70}$ 」と補正する。
11. 同第26頁第11行の「 $R_{70}$ 」を「抵抗 $R_{70}$ 」  
と補正する。
12. 同第26頁第12行の「抵抗」を「NPNバ  
イポーラトランジスタ」と補正する。
13. 同第26頁第12行の「 $D_{72}$ 」を「ダイオー  
ド $D_{72}$ 」と補正する。
14. 同第26頁第13行の「<sup>73</sup>レベル」を「<sup>73</sup>エミツ  
タフオロア形の」と補正する。
15. 同第26頁第14行~第1<sup>6</sup>6行の「エミツタ  
~である。」を削除する。

以 上

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**